

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

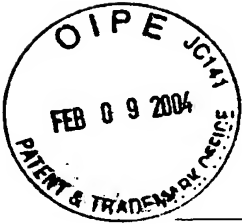
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT

Docket No. JCLA10908

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : HUNG-YI KUO et al.

Application No. : 10/697,773

Filed : October 29, 2003

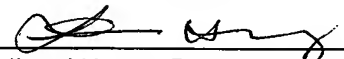
Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

February 4, 2004

(Date)

For **CONTROL CHIP, CIRCUIT AND METHOD
: THEREOF FOR INHIBITING BUS CYCLE**


Jiawei Huang, Reg. No. 43,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92109868** filed on **April 28, 2003**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA10908).

Date: 2/4/2004

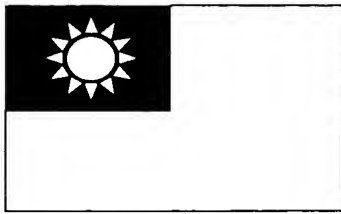
By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761

10/697,773

J01A10908



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 28 日
Application Date

申請案號：092109868
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 1 月 8 日
Issue Date

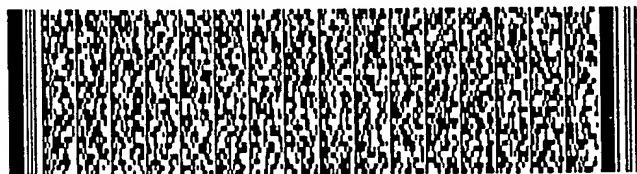
發文字號：09320029720
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	具有匯流排週期抑制功能之控制晶片及其抑制電路與方法
	英 文	CONTROL CHIP WITH FUNCTION FOR INHIBITING BUS CYCLE ,CIRCUIT AND METHOD THEREOF
二、 發明人 (共1人)	姓 名 (中文)	1. 郭宏益
	姓 名 (英文)	1. Hung-Yi Kuo
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA Technologies, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Hsiueh-Hong WANG



109081wf_pid

四、中文發明摘要 (發明名稱：具有匯流排週期抑制功能之控制晶片及其抑制電路與方法)

一種具有匯流排週期抑制功能之控制晶片及其抑制電路與方法，係運用一匯流排資源解碼電路，來判斷自第一匯流排接收之匯流排週期，是否為屬於控制晶片之內部匯流排週期，並將判斷結果經邏輯電路之邏輯運算後，輸出可供匯流排橋接電路參考之抑制訊號，以抑制內部匯流排週期傳送至第二匯流排。

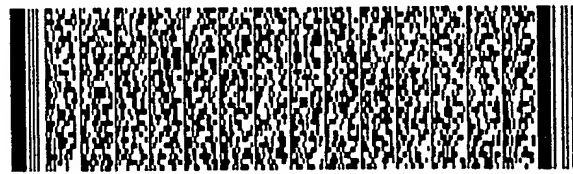
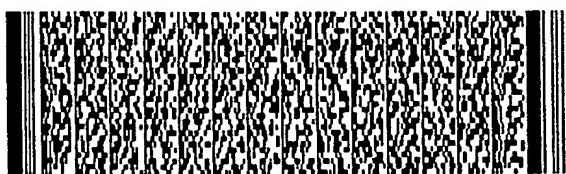
伍、(一)、本案代表圖為：第____2____圖

(二)、本案代表圖之元件代表符號簡單說明：

200 控制晶片	201 第一匯流排	202 第二匯流排
210 匯流排橋接電路	220 匯流排週期抑制電路	
230 匯流排資源解碼電路	231 I/O資源解碼單元	
232 記憶體資源解碼單元	233 組態資源解碼單元	
240 邏輯電路	241 暫存器	242、243、244 及開
245 或閘		

陸、英文發明摘要 (發明名稱：CONTROL CHIP WITH FUNCTION FOR INHIBITING BUS CYCLE, CIRCUIT AND METHOD THEREOF)

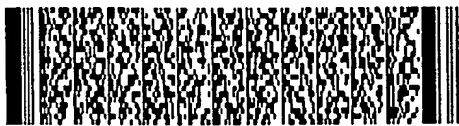
A control chip with function for inhibiting bus cycle, a circuit and a method thereof are provided. A bus resource decoding circuit is used to determine if a bus cycle received from the first bus is internal bus cycle of the control chip. A logic circuit is used to determine and output an inhibiting signal based on the result output from the bus resource decoding circuit. So



四、中文發明摘要 (發明名稱：具有匯流排週期抑制功能之控制晶片及其抑制電路與方法)

陸、英文發明摘要 (發明名稱：CONTROL CHIP WITH FUNCTION FOR INHIBITING BUS CYCLE ,CIRCUIT AND METHOD THEREOF)

that a bus bridge circuit can determine if the bus cycle need to be transmitted to the second bus referring to the inhibiting signal.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明所屬之技術領域

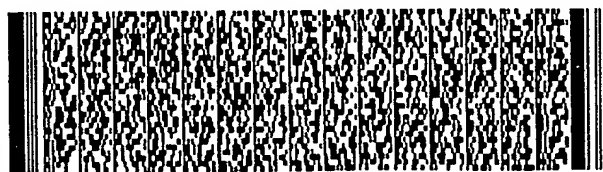
本發明是有關於一種控制晶片，且特別是有關於一種具有匯流排週期抑制功能之控制晶片及其抑制電路與方法。

先前技術

在個人電腦的主機板中，除了擔任控制中樞的中央處理單元外，更需要配合一控制晶片組，以連接各種不同之界面卡與電腦週邊。

控制晶片組通常係由北橋晶片與南橋晶片等控制晶片所組成，北橋晶片耦接中央處理單元，用以接收並回應中央處理單元傳送之指令，南橋晶片則經由耦接北橋晶片之匯流排，接收北橋晶片傳送之匯流排週期(bus cycle)，並由南橋晶片內部之橋接電路，轉換為連接各種不同之界面卡與電腦週邊的匯流排週期。其中最為普及之用以插置界面卡的匯流排，是稱為週邊元件互連(Peripheral Component Interconnection，簡稱PCI)匯流排的一種匯流排。

請參考第1圖所示，其為習知之一種南橋晶片方塊示意圖。圖中顯示，此南橋晶片100經由連接北橋晶片(未繪示)之晶片間匯流排101接收北橋晶片傳送之匯流排週期，然後傳送至LPC橋接電路140、XA橋接電路150、PCI橋接電路160與其它橋接電路170，以支援LPC匯流排102、XA匯流排103、PCI匯流排104與其它匯流排105等不同匯流排之指令與資料的傳送。此種作法除了當匯流排週期之標的



五、發明說明 (2)

為連接LPC匯流排102之第二週期標的(cycle target)120、或連接XA匯流排103之第三週期標的130時，仍會先行詢問是否為PCI匯流排104之匯流排週期外，更於匯流排週期之標的為屬於南橋晶片100的內部匯流排週期之第一週期標的110時，也會將此內部匯流排週期傳送至PCI匯流排104上，以致耗時又費電。

發明內容

有鑑於此，本發明提供一種具有匯流排週期抑制功能之控制晶片及其抑制電路與方法，可將自第一匯流排所接收之屬於控制晶片的內部匯流排週期，予以抑制而不再傳送至控制晶片之第二匯流排上，使第二匯流排可以進入閒置(idle)狀態，達到省電之目的。

為達上述及其他目的，本發明提供一種匯流排週期抑制電路，及應用此匯流排週期抑制電路的一種具有匯流排週期抑制功能之控制晶片。此控制晶片可將自第一匯流排所接收之屬於控制晶片的內部匯流排週期，予以抑制而不再傳送至控制晶片之第二匯流排。

此控制晶片除了包括上述之匯流排週期抑制電路外，另包括一匯流排橋接電路。其中，匯流排週期抑制電路用以自第一匯流排接收一匯流排週期，且當判斷接收之匯流排週期為屬於控制晶片的內部匯流排週期時，則輸出一抑制訊號。而匯流排橋接電路則耦接匯流排週期抑制電路，用以依據匯流排週期抑制電路輸出之抑制訊號，以抑制匯流排週期的傳送。



五、發明說明 (3)

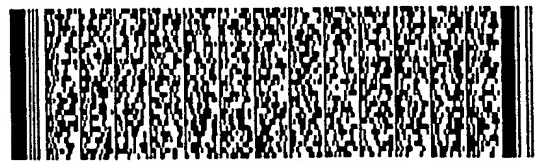
其中，匯流排週期抑制電路包括：匯流排資源解碼電路與邏輯電路。匯流排資源解碼電路用以自第一匯流排接收匯流排週期，且當判斷匯流排週期為屬於控制晶片的內部匯流排週期時，輸出代表匯流排週期之一指示訊號。而邏輯電路則用以依據一致能設定值及匯流排資源解碼電路輸出之指示訊號，以輸出前述之抑制訊號。

本發明之較佳實施例中，其匯流排資源解碼電路包括：I/O資源解碼單元、記憶體資源解碼單元及組態資源解碼單元。其中，I/O資源解碼單元用以自第一匯流排接收匯流排週期，且當判斷接收之匯流排週期為控制晶片的內部I/O匯流排週期時，輸出代表內部I/O匯流排週期之指示訊號。記憶體資源解碼單元用以自第一匯流排接收匯流排週期，且當判斷接收之匯流排週期為控制晶片的內部記憶體匯流排週期時，輸出代表內部記憶體匯流排週期之指示訊號。而組態資源解碼單元則用以自第一匯流排接收匯流排週期，且當判斷接收之匯流排週期為控制晶片的內部組態匯流排週期時，輸出代表內部組態匯流排週期之指示訊號。

在一實施例中，係使用一暫存器，來儲存所需之致能設定值，並使用包括及閘與或閘之邏輯電路，來判斷是否致能不同的內部匯流排週期之抑制功能。

在一實施例中，其控制晶片係為南橋晶片，而其第二匯流排則為南橋晶片之PCI匯流排。

本發明另提供一種匯流排週期抑制方法，可適用於至



五、發明說明 (4)

少具有一第一匯流排與一第二匯流排之控制晶片。此匯流排週期抑制方法包括下列步驟：判斷自第一匯流排接收之匯流排週期是否為屬於控制晶片的內部匯流排週期，且當判斷匯流排週期為屬於控制晶片的內部匯流排週期時，輸出一抑制訊號；以及依據抑制訊號之狀態，以抑制接收之匯流排週期，而不再傳送至第二匯流排。

其中，當判斷匯流排週期為控制晶片的內部I/O匯流排週期、控制晶片的內部記憶體匯流排週期或控制晶片的內部組態匯流排週期時，則輸出上述之抑制訊號。

其中，並可參考一致能設定值，以輸出上述之抑制訊號。

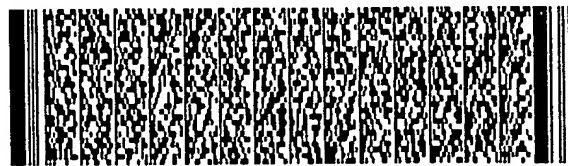
其中之控制晶片係為南橋晶片，而其第二匯流排則為南橋晶片之PCI匯流排。

由上述之說明中可知，應用本發明所提供之一種具有匯流排週期抑制功能之控制晶片及其抑制電路與方法，則因自第一匯流排所接收之屬於控制晶片的內部匯流排週期，已可被抑制而不再傳送至控制晶片之第二匯流排，使得第二匯流排可以進入閒置(idle)之狀態，而達到省電之目的。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特以較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

如前所述，在習知之南橋晶片中，由於屬於南橋晶片

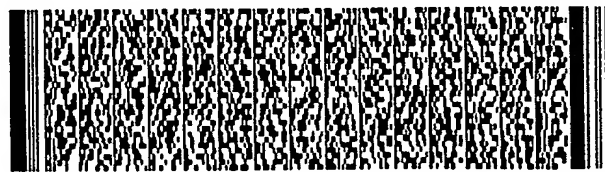
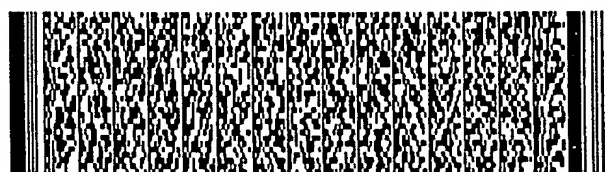


五、發明說明 (5)

的內部匯流排週期，仍會被傳送至PCI匯流排上，以致耗時又費電。此對於十分講究電池的使用時間之行動裝置，例如是筆記型電腦等，實為一大缺點。因此，本發明乃提供一種具有匯流排週期抑制功能之控制晶片及其抑制電路與方法，以達到省電之目的。

請參考第2圖所示，其為根據本發明較佳實施例之一種控制晶片方塊示意圖。圖中顯示，此控制晶片200例如是南橋晶片，可經由連接北橋晶片（未繪示）之第一匯流排201接收北橋晶片傳送之匯流排週期，然後經由匯流排橋接電路210之轉換，以支援例如是PCI匯流排之第二匯流排202的指令與資料的傳送。除匯流排橋接電路210外，此控制晶片200另包括一匯流排週期抑制電路220，如圖所示，此匯流排週期抑制電路220包括：具有I/O資源解碼單元231、記憶體資源解碼單元232及組態資源解碼單元233之匯流排資源解碼電路230，與具有暫存器241、及閘242、243和244與或閘245之邏輯電路240。

其中，匯流排橋接電路210經由第一匯流排201，接收北橋晶片（未繪示）傳送之匯流排週期，並轉換為例如是PCI匯流排週期之第二匯流排週期，傳送至第二匯流排202上。當然，為了達到省電的目的，此匯流排橋接電路210並非無條件地將接收之匯流排週期，轉換為第二匯流排週期傳送，而是會參考匯流排週期抑制電路220輸出之抑制訊號246，以抑制屬於控制晶片200之內部匯流排週期的傳送。



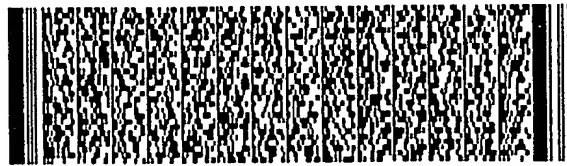
五、發明說明 (6)

如圖所示，由I/O資源解碼單元231、記憶體資源解碼單元232及組態資源解碼單元233組成之匯流排資源解碼電路230，同樣接收北橋晶片（未繪示）傳送之匯流排週期，並分別判斷接收之匯流排週期是否為屬於控制晶片的內部I/O匯流排週期、內部記憶體匯流排週期或內部組態匯流排週期等不同之內部匯流排週期，且當分別判斷為屬於控制晶片的內部I/O匯流排週期、內部記憶體匯流排週期或內部組態匯流排週期時，則分別輸出代表內部I/O匯流排週期、內部記憶體匯流排週期或內部組態匯流排週期之指示訊號。

暫存器241中儲存用以設定是否要致能不同之內部匯流排週期的抑制功能之致能設定值，並分別輸出至及閘242、243與244之一輸入端。當暫存器之輸出值為1時，代表致能此種內部匯流排週期的抑制功能，而當暫存器之輸出值為0時，代表禁能此種內部匯流排週期的抑制功能，以便偵錯時，仍可觀察到相關之內部匯流排週期。

由及閘242、243與244輸出之分別代表內部I/O匯流排週期、內部記憶體匯流排週期或內部組態匯流排週期之指示訊號，再經由或閘245之或邏輯運算而輸出供匯流排橋接電路210參考之抑制訊號246。

由上述說明中，可歸納一種匯流排週期抑制方法，可適用於至少具有一第一匯流排與一第二匯流排之控制晶片。此匯流排週期抑制方法包括下列步驟：判斷自第一匯流排接收之匯流排週期是否為屬於控制晶片的內部匯流排



五、發明說明 (7)

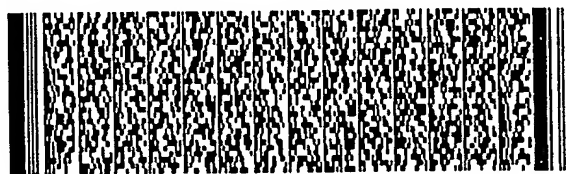
週期，且當判斷匯流排週期為屬於控制晶片的內部匯流排週期時，輸出一抑制訊號；以及依據抑制訊號之狀態，以抑制接收之匯流排週期，而不再傳送至第二匯流排。

其中，當判斷匯流排週期為控制晶片的內部I/O匯流排週期、控制晶片的內部記憶體匯流排週期或控制晶片的內部組態匯流排週期時，則輸出上述之抑制訊號。

其中，並可參考一致能設定值，以輸出上述之抑制訊號。

綜上所述，因由第一匯流排所接收之屬於控制晶片的內部匯流排週期，已可依需求來抑制而不再傳送至控制晶片之第二匯流排，使得第二匯流排在沒有其匯流排週期時，可以進入閒置(idle)之狀態，而達到省電之目的。此外，當第二匯流排為PCI匯流排時，更可配合PCI匯流排之CLKRUN*訊號線，以使耦接於此PCI匯流排之控制裝置可以進入睡眠模式，達到更為省電之目的，此對於延長筆記型電腦等行動裝置之電池使用時間而言，十分有利。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係顯示習知之一種南橋晶片方塊示意圖；以及

第2圖係顯示根據本發明較佳實施例之一種控制晶片方塊示意圖。

圖式標示說明：

- 100 南橋晶片
- 101 晶片間匯流排
- 102 LPC匯流排
- 103 XA匯流排
- 104 PCI匯流排
- 105 其它匯流排
- 110 第一週期標的
- 120 第二週期標的
- 130 第三週期標的
- 140 LPC橋接電路
- 150 XA橋接電路
- 160 PCI橋接電路
- 170 其它橋接電路
- 200 控制晶片
- 201 第一匯流排
- 202 第二匯流排
- 210 匯流排橋接電路
- 220 匯流排週期抑制電路
- 230 匯流排資源解碼電路
- 231 I/O資源解碼單元



圖式簡單說明

232 記憶體資源解碼單元

233 組態資源解碼單元

240 邏輯電路

241 暫存器

242、243、244 及閘

245 或閘



六、申請專利範圍

1. 一種具有匯流排週期抑制功能之控制晶片，可將自一第一匯流排所接收之屬於該控制晶片的內部匯流排週期，予以抑制而不再傳送至該控制晶片之一第二匯流排，該控制晶片包括：

一匯流排週期抑制電路，用以自該第一匯流排接收一匯流排週期，且當判斷該匯流排週期為屬於該控制晶片的內部匯流排週期時，輸出一抑制訊號；以及

一匯流排橋接電路，耦接該匯流排週期抑制電路，用以依據該抑制訊號，以抑制該匯流排週期。

2. 如申請專利範圍第1項所述之具有匯流排週期抑制功能之控制晶片，其中該匯流排週期抑制電路包括：

一匯流排資源解碼電路，用以自該第一匯流排接收該匯流排週期，且當判斷該匯流排週期為屬於該控制晶片的內部匯流排週期時，輸出代表該匯流排週期之一指示訊號；以及

一邏輯電路，用以依據一致能設定值及該指示訊號，以輸出該抑制訊號。

3. 如申請專利範圍第2項所述之具有匯流排週期抑制功能之控制晶片，其中該匯流排資源解碼電路包括：

一I/O資源解碼單元，用以自該第一匯流排接收該匯流排週期，且當判斷該匯流排週期為該控制晶片的內部I/O匯流排週期時，輸出代表內部I/O匯流排週期之該指示訊號；

一記憶體資源解碼單元，用以自該第一匯流排接收該



六、申請專利範圍

匯流排週期，且當判斷該匯流排週期為該控制晶片的內部記憶體匯流排週期時，輸出代表內部記憶體匯流排週期之該指示訊號；以及

一組態資源解碼單元，用以自該第一匯流排接收該匯流排週期，且當判斷該匯流排週期為該控制晶片的內部組態匯流排週期時，輸出代表內部組態匯流排週期之該指示訊號。

4. 如申請專利範圍第2項所述之具有匯流排週期抑制功能之控制晶片，其中該邏輯電路包括及閘與或閘。

5. 如申請專利範圍第2項所述之具有匯流排週期抑制功能之控制晶片，其中該致能設定值係儲存於一暫存器中。

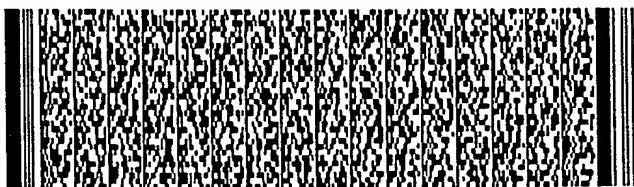
6. 如申請專利範圍第1項所述之具有匯流排週期抑制功能之控制晶片，其中該第二匯流排為PCI匯流排。

7. 如申請專利範圍第1項所述之具有匯流排週期抑制功能之控制晶片，其中該控制晶片為南橋晶片。

8. 一種匯流排週期抑制電路，適用於至少具有一第一匯流排與一第二匯流排之一控制晶片，包括：

一匯流排資源解碼電路，用以自該第一匯流排接收一匯流排週期，且當判斷該匯流排週期為屬於該控制晶片的內部匯流排週期時，輸出代表該匯流排週期之一指示訊號；以及

一邏輯電路，用以依據一致能設定值及該指示訊號，以輸出一抑制訊號。



六、申請專利範圍

9. 如申請專利範圍第8項所述之匯流排週期抑制電路，其中該匯流排資源解碼電路包括：

— I/O 資源解碼單元，用以自該第一匯流排接收該匯流排週期，且當判斷該匯流排週期為該控制晶片的內部 I/O 匯流排週期時，輸出代表內部 I/O 匯流排週期之該指示訊號；

— 記憶體資源解碼單元，用以自該第一匯流排接收該匯流排週期，且當判斷該匯流排週期為該控制晶片的內部記憶體匯流排週期時，輸出代表內部記憶體匯流排週期之該指示訊號；以及

— 組態資源解碼單元，用以自該第一匯流排接收該匯流排週期，且當判斷該匯流排週期為該控制晶片的內部組態匯流排週期時，輸出代表內部組態匯流排週期之該指示訊號。

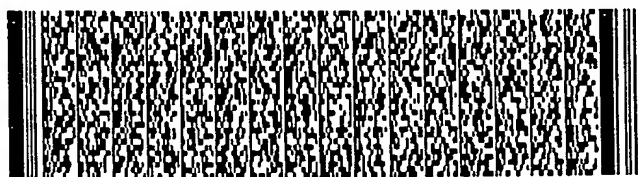
10. 如申請專利範圍第8項所述之匯流排週期抑制電路，其中該邏輯電路包括及閘與或閘。

11. 如申請專利範圍第8項所述之匯流排週期抑制電路，其中該致能設定值係儲存於一暫存器中。

12. 如申請專利範圍第8項所述之匯流排週期抑制電路，其中該第二匯流排為 PCI 匯流排。

13. 如申請專利範圍第8項所述之匯流排週期抑制電路，其中該控制晶片為南橋晶片。

14. 一種匯流排週期抑制方法，適用於至少具有一第一匯流排與一第二匯流排之一控制晶片，包括下列步驟：



六、申請專利範圍

判斷自該第一匯流排接收之一匯流排週期是否為屬於該控制晶片的內部匯流排週期，且當判斷該匯流排週期為屬於該控制晶片的內部匯流排週期時，輸出一抑制訊號；以及

依據該抑制訊號之狀態，以抑制該匯流排週期，而不傳送至該第二匯流排。

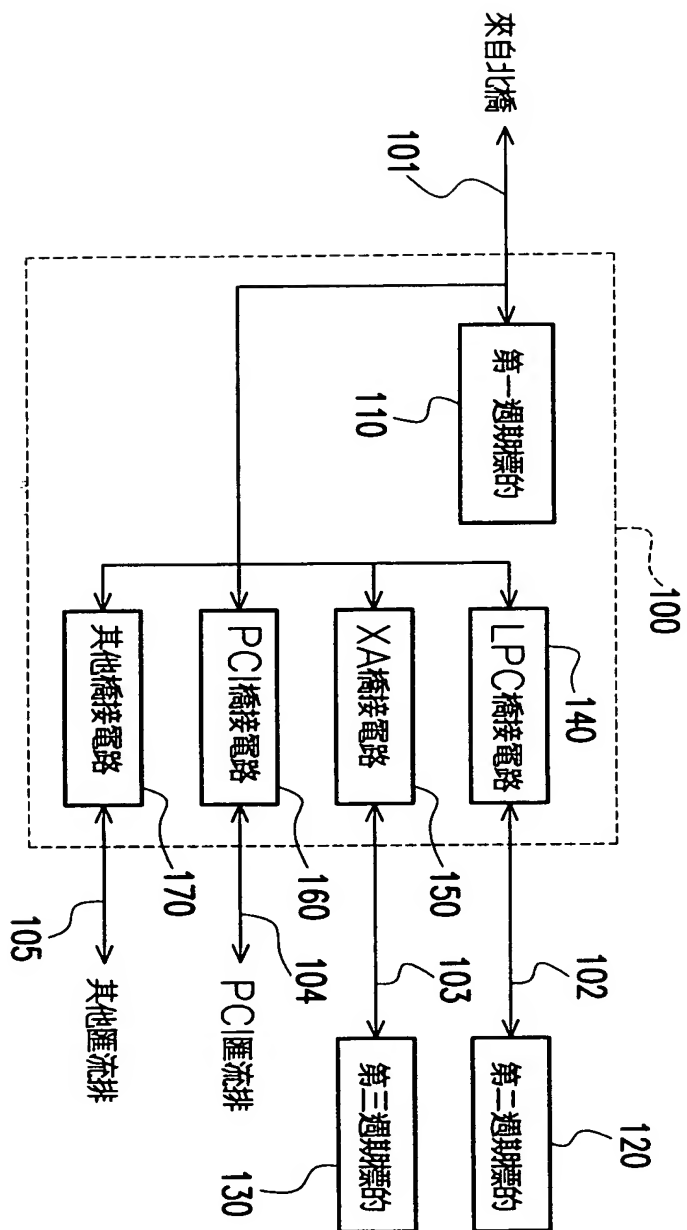
15. 如申請專利範圍第14項所述之匯流排週期抑制方法，其中當判斷該匯流排週期為該控制晶片的內部I/O匯流排週期、該控制晶片的內部記憶體匯流排週期及該控制晶片的內部組態匯流排週期三者之一時，輸出該抑制訊號。

16. 如申請專利範圍第15項所述之匯流排週期抑制方法，其中並參考一致能設定值，以輸出該抑制訊號。

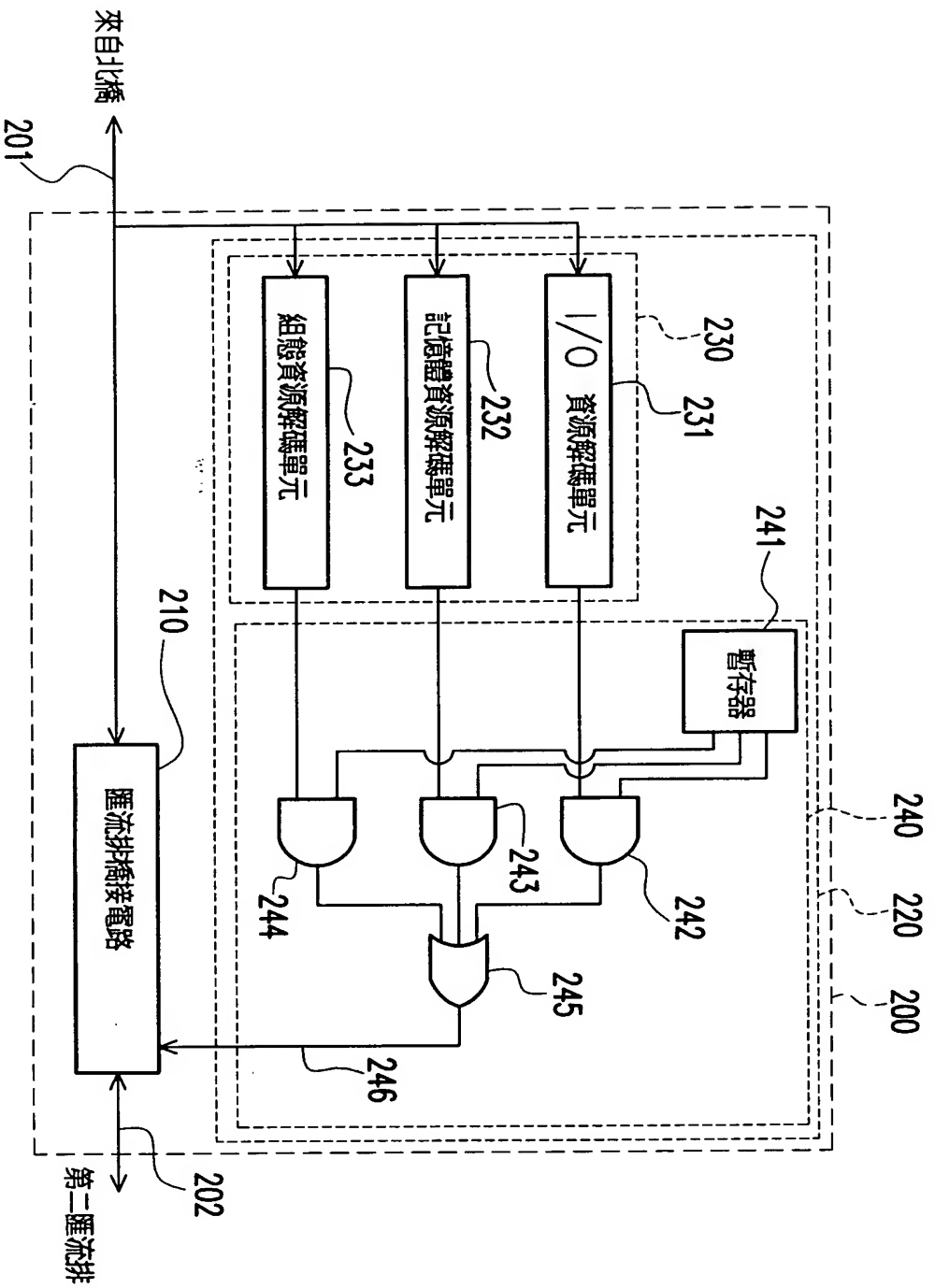
17. 如申請專利範圍第14項所述之匯流排週期抑制方法，其中該第二匯流排為PCI匯流排。

18. 如申請專利範圍第14項所述之匯流排週期抑制方法，其中該控制晶片為南橋晶片。



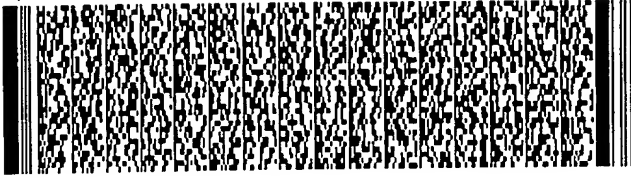


第 1 圖

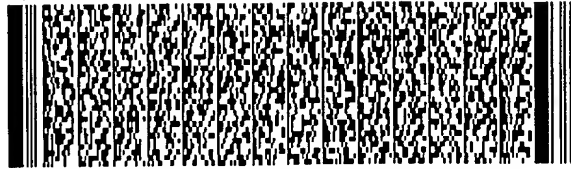


第 2 圖

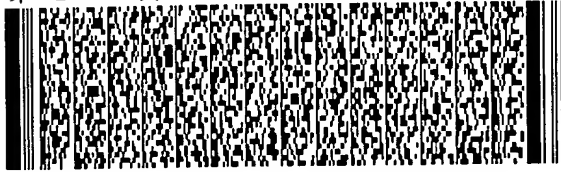
第 1/17 頁



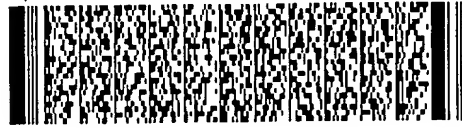
第 2/17 頁



第 2/17 頁



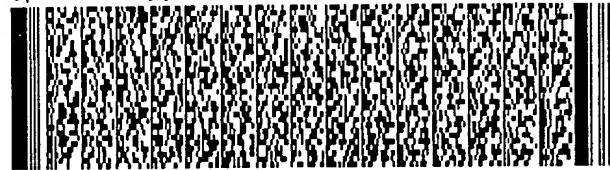
第 3/17 頁



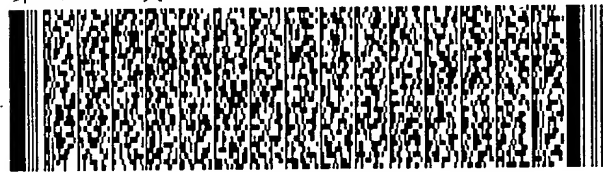
第 4/17 頁



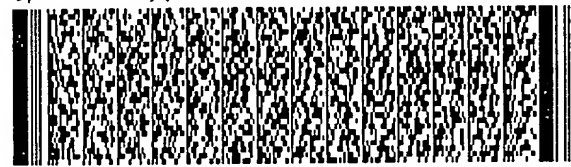
第 5/17 頁



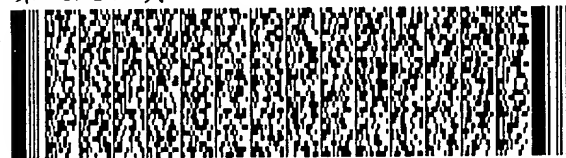
第 5/17 頁



第 6/17 頁



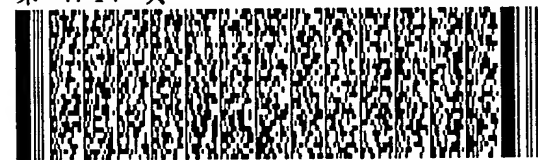
第 6/17 頁



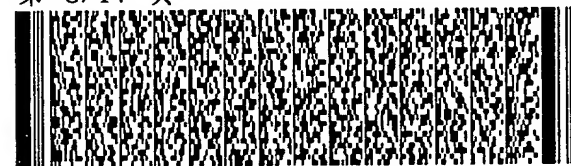
第 7/17 頁



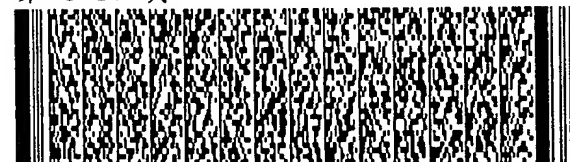
第 7/17 頁



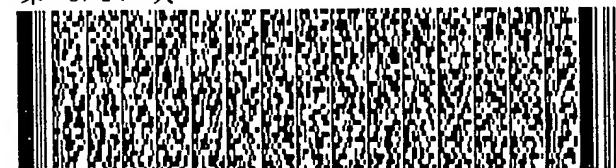
第 8/17 頁



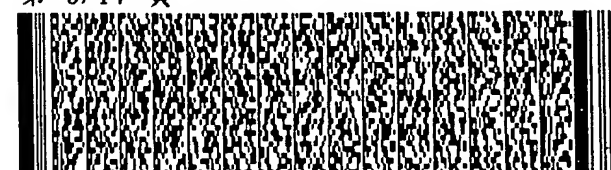
第 8/17 頁



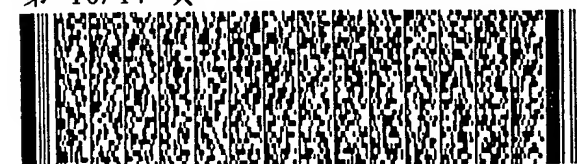
第 9/17 頁



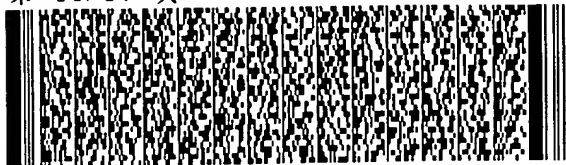
第 9/17 頁



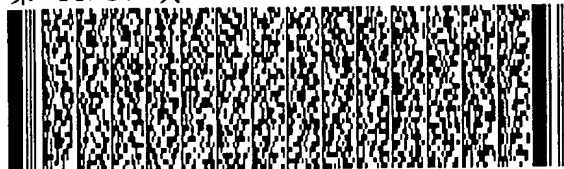
第 10/17 頁



第 10/17 頁



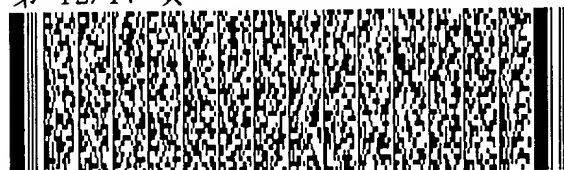
第 11/17 頁



第 11/17 頁



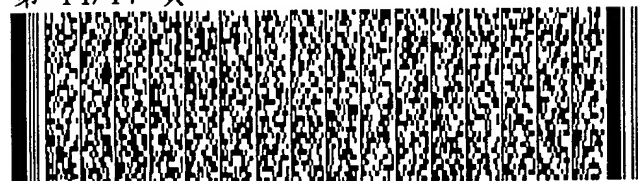
第 12/17 頁



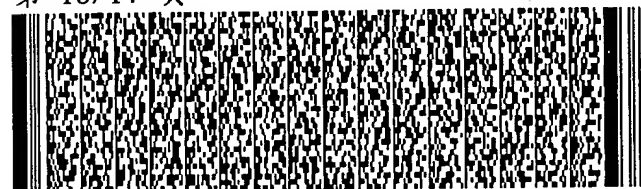
第 13/17 頁



第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

